

Method of forming alignment mark and fabricating semiconductor device

Patent Number: [US5935764](#)
Publication date: 1999-08-10
Inventor(s): KAKEHASHI EIICHIRO (JP)
Applicant(s):: NIPPON ELECTRIC CO (JP)
Requested Patent: [JP10189417](#)
Application Number: US19970997465 19971223
Priority Number(s): JP19960347678 19961226
IPC Classification: H01L21/027 ; G03C9/00
EC Classification:
Equivalents: JP2865089B2

Abstract

A formation method of an alignment mark is provided. After an etching resist part is formed on a first dielectric layer, a second dielectric layer is formed on the first dielectric layer to cover the etching resist part. Then, the second dielectric layer is selectively etched to form a recess uncovering the etching resist part using a first patterned lithography resist film as a mask. In this etching process, the first dielectric layer is prevented from being etched in the recess of the second dielectric layer by the etching resist part. A layer to be patterned is formed on the second dielectric layer and a second patterned lithography resist film is formed on the layer to be patterned. The second patterned lithography resist film has such a shape that a part of the second lithography resist film is left in the recess of the second dielectric layer. The part of the second lithography resist film in the recess has a height difference approximately equal to or less than the thickness of the second dielectric layer from another part of the second lithography resist film outside the recess. The alignment error of a pattern of the second lithography resist film with respect to a pattern of the second dielectric layer is measured correctly.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-189417

(43) 公開日 平成10年(1998) 7月21日

(51) Int.Cl.⁴
H 0 1 L 21/027

識別記号

F I
H 0 1 L 21/30

5 2 2
5 2 3

審査請求 有 請求項の数 6 O L (全 12 頁)

(21) 出願番号 特願平8-347678

(22) 出願日 平成8年(1996)12月26日

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者 梯 英一郎

東京都港区芝五丁目7番1号 日本電気株式会社内

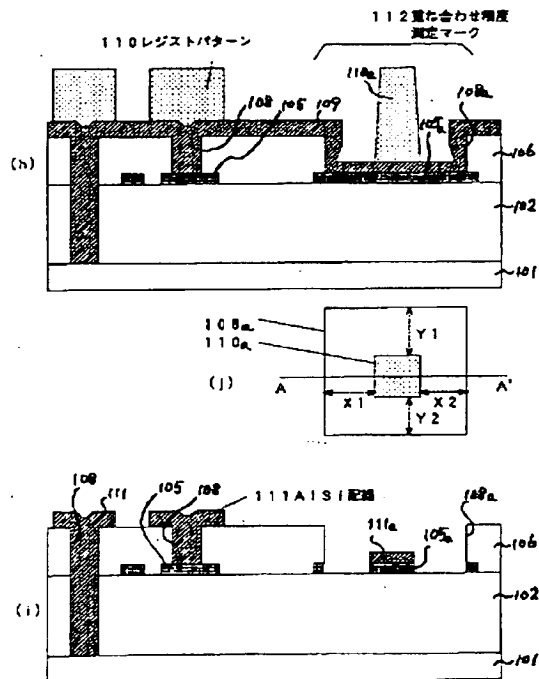
(74) 代理人 弁理士 菅野 中

(54) 【発明の名称】 重ね合せ精度測定用マーク及びその製造方法

(57) 【要約】

【課題】 リソグラフィを用いたパターン形成において、パターンの重ね合わせ精度を良好に測定するためのマークを形成する。

【解決手段】 層間膜形成工程にて、シリコン基板101に第一の酸化膜(層間膜)102を形成し、エッチングストップパ形成工程にて、第一の酸化膜(層間膜)102上に形成されたエッチングに対する耐性をもつ第一のAlSi膜をパターンニングしてエッチングストップパ105aを形成し、溝形成工程にて、エッチングストップパ205a上に形成された第二の酸化膜106をエッチングし、エッチングストップパ105aまでの深さをもつ溝108aを形成し、測定用マーク形成工程にて、第二の酸化膜106を介して第一のAlSi配線105上に重ね合わせて第二のAlSi配線111を形成する際に、深さが規制された溝108a内に測定用マーク110aを形成する処理を行なう。



【特許請求の範囲】

【請求項1】 半導体基板の層間膜を挟んで上下に重ねて形成されるパターンの相対的なずれ量の測定に用いる重合せ精度測定用マークであって、測定用マークは、溝とエッチングストッパと測定用パターンとの組合せからなり、溝は、エッチングによる上層パターン形成の際に層間膜に形成される凹陥部であり、エッチングストッパは、溝の底部に位置し、層間膜のエッチング処理の際に溝の深さを規制するものであり、測定用パターンは、上層パターン形成の際に溝内に形成されるものであることを特徴とする重合せ精度測定用マーク。

【請求項2】 前記エッチングストッパは、前記下層パターンと同一素材により形成されるものであることを特徴とする請求項1に記載の重合せ精度測定用マーク。

【請求項3】 前記エッチングストッパは、ポリシリコン、アモルファスシリコン、WSi, TiSi, MoSi, Al, AlCu, AlSiCu, W, Ti, TiN, TiWの単一膜、又はこれらを組合せた複層膜から形成されたものであることを特徴とする請求項1又は2に記載の重合せ精度測定用マーク。

【請求項4】 層間膜形成工程と、エッチングストッパ形成工程と、溝形成工程と、測定用パターン形成工程とを有し、半導体基板の層間膜を挟んで上下に重ねて形成されるパターン相対的なずれ量の測定に用いる重合せ精度測定用マークの製造方法であって、重合せ精度測定用マークは、溝とエッチングストッパと測定用パターンとの組合せからなるものであり、層間膜形成工程は、半導体基板に第1層間膜を形成する処理であり、エッチングストッパ形成工程は、第1層間膜上に形成されたエッチングに対する耐性をもつ膜をパターンニングしてエッチングストッパを形成する処理であり、溝形成工程は、エッチングストッパ上に形成された第2層間膜をエッチングし、エッチングストッパまでの深さをもち溝を形成する処理であり、測定用パターン形成工程は、第2層間膜を介して下層パターン上に重ねて上層パターンを形成する際に、深さが規制された溝内に測定用パターンを形成する処理であることを特徴とする重合せ精度測定用マークの製造方法。

【請求項5】 前記エッチングストッパは、第1層間膜上に形成される下層パターンと同一素材により形成するものであることを特徴とする請求項4に記載の重合せ精度測定用マークの製造方法。

【請求項6】 前記エッチングストッパとして、ポリシリコン、アモルファスシリコン、WSi, TiSi, MoSi, Al, AlCu, AlSiCu, W, Ti, TiN, TiWの単一膜、又はこれらを組合せた複層膜を

用いることを特徴とする請求項4又は5に記載の重合せ精度測定用マークの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の構造及びその製造方法に関し、特にリソグラフィを用いたパターン形成におけるパターンの重合せ精度測定用マーク及びその製造方法に関する。

【0002】

【従来の技術】近年、半導体装置のホトリソグラフィーを用いたパターン形成においては、パターンの微細化に伴い、縮小投影露光技術が用いられてきている。縮小投影露光技術を用いたパターン形成方法では、パターンの重ね合わせ精度を測定するためのマークが半導体基板上に形成される。

【0003】第一のパターンが形成された半導体基板に対し、リソグラフィーを用いた第二のパターン形成を行う場合に、第一のパターンと第二のパターンとの重ね合わせ精度を測定するために半導体基板にマークが形成されるが、この重合せ精度測定用マークは、所定のマスクを用いた半導体基板をエッチングし溝形状に形成される場合がある。

【0004】図5～図7を用いて、溝形状のマークを半導体基板に形成する方法を説明する。図5(a)に示されるように、半導体基板301上に第一の酸化膜302が形成され、次に図5(b)に示されるように、酸化膜302上にポリシリコン膜303が成長され、その後、ホトリソグラフィー技術を用いてレジストパターン304が形成され、図5(c)に示されるように、レジストパターン304をマスクとしてポリシリコン膜303がエッチングされ、ポリシリコン配線305が形成される。

【0005】次に図5(d)に示されるように、ポリシリコン配線305上に第二の酸化膜306が形成され、図6(e)に示されるように第二の酸化膜306上にホトリソグラフィー技術を用いてコンタクトを形成するためのレジストパターン307が形成される。

【0006】その後、図6(f)に示されるように、レジストパターン307をマスクとして酸化膜302, 306に異方性エッチングが行われ、半導体基板301の表面及びポリシリコン配線305の表面を露出するようなコンタクト308が形成され、図6(g)に示されるように、コンタクト308内にAlSi膜309が充填される。

【0007】次に図7(h)に示されるように、ホトリソグラフィー技術を用いてレジストパターン310がコンタクト308に対応して形成され、次に図7(i)に示されるように、レジストパターン310をマスクとしてAlSi膜309に異方性エッチングが行われ、AlSi配線311が形成される。

【0008】ここで、コンタクト308を形成する際

に、半導体基板301の表面を露出させるためのコンタクト308は、図7(j)に示すように正方形に形成され、このコンタクト308の領域が重ね合わせ精度測定マーク312として用いられる(図7(h))。

【0009】AlSi配線311を形成する際には、AlSi膜309を異方性エッチングするマスクとしてレジストパターン310が形成されるが、AlSi配線311の形成用レジストパターン310とともに、重ね合わせ精度測定マーク312としてのレジストパターン310が形成される。

【0010】図7(j)に示されるように、重ね合わせ精度測定マーク312の領域におけるコンタクト308とレジストパターン310との重ね合わせずれ量は、重ね合わせ精度測定マーク312内でのレジストパターン310のX1, X2, Y1, Y2を計測することにより、検査されることとなる。

【0011】

【発明が解決しようとする課題】しかしながら、従来例のように重ね合わせ精度測定マーク312が溝として形成される場合、マーク312としての溝の深さが深くなると、レジストパターン310の形成時における焦点深度が不足し、溝中に正確な寸法をもつレジストパターン310を形成することができないという問題があった。

【0012】本発明の目的は、パターンの重ね合わせ精度を正確に測定する重ね合わせ精度測定用マーク及びその製造方法を提供することにある。

【0013】

【課題を解決するための手段】前記目的を達成するため、本発明に係る重ね合わせ精度測定用マークは、半導体基板の層間膜を挟んで上下に重ねて形成されるパターンの相対的なずれ量の測定に用いる重ね合わせ精度測定用マークであって、測定用マークは、溝とエッチングストッパと測定用パターンとの組合せからなり、溝は、エッチングによる上層パターン形成の際に層間膜に形成される凹陥部であり、エッチングストッパは、溝の底部に位置し、層間膜のエッチング処理の際に溝の深さを規制するものであり、測定用パターンは、上層パターン形成の際に溝内に形成されるものである。

【0014】また、前記エッチングストッパは、前記下層パターンと同一素材により形成されるものである。

【0015】また、前記エッチングストッパは、ポリシリコン、アモルファスシリコン、WSi, TiSi, MoSi, Al, AlCu, AlSiCu, W, Ti, TiN, TiWの単一膜、又はこれらを組合せた複層膜から形成されたものである。

【0016】また本発明に係る重ね合わせ精度測定用マークの製造方法は、層間膜形成工程と、エッチングストッパ形成工程と、溝形成工程と、測定用パターン形成工程とを有し、半導体基板の層間膜を挟んで上下に重ねて形成されるパターンの相対的なずれ量の測定に用いる重ね

合わせ精度測定用マークの製造方法であって、重ね合わせ精度測定用マークは、溝とエッチングストッパと測定用パターンとの組合せからなるものであり、層間膜形成工程は、半導体基板に第1層間膜を形成する処理であり、エッチングストッパ形成工程は、第1層間膜上に形成されたエッチングに対する耐性をもつ膜をパターンニングしてエッチングストッパを形成する処理であり、溝形成工程は、エッチングストッパ上に形成された第2層間膜をエッチングし、エッチングストッパまでの深さをもつ溝を形成する処理であり、測定用パターン形成工程は、第2層間膜を介して下層パターン上に重ねて上層パターンを形成する際に、深さが規制された溝内に測定用パターンを形成する処理である。

【0017】また前記エッチングストッパは、第1層間膜上に形成される下層パターンと同一素材により形成する。

【0018】また前記エッチングストッパとして、ポリシリコン、アモルファスシリコン、WSi, TiSi, MoSi, Al, AlCu, AlSiCu, W, Ti, TiN, TiWの単一膜、又はこれらを組合せた複層膜を用いる。

【0019】

【作用】重ね合わせ精度測定用パターンが形成される溝の深さをエッチングストッパにより規制し、溝の深さが深くなることを防止する。

【0020】溝の深さを規制して、リソグラフィ技術に必要な焦点深度を確保することにより、溝内に測定用パターンを正確に形成する。

【0021】

【発明の実施の形態】以下、本発明の実施の形態を図により説明する。

【0022】(実施形態1)図1, 図2, 図3は、本発明の実施形態1に係る重ね合わせ精度測定用マークの製造方法を工程順に示す断面図である。

【0023】図3(h), (i), (j)において、本発明の実施形態1に係る重ね合わせ精度測定用マークは、半導体基板101の層間膜106を挟んで上下に重ねて形成されるパターン105, 111との相対的なずれ量X1, X2, Y1, Y2を測定するのに用いるものであり、重ね合わせ精度測定用マーク112は、溝108aとエッチングストッパ105aと測定用パターン110aとの組合せからなっている。

【0024】溝108aは、上層パターン111をエッチング処理により形成する際に層間膜106に形成される凹陥部であり、溝108aの底部にはエッチングストッパ105aが位置している。溝108aは、層間膜106をエッチング処理して凹陥部として形成され、エッチングストッパ105aは、溝108aの部分に対応する層間膜106をエッチングする際のストッパとして機能し、溝108aの深さが深くならないように規制して

いる。エッチングストップ105aにより規制される溝108aの深さは、測定用パターン110aをリソグラフィ技術を用いて形成する際に必要な焦点深度を確保する寸法に設定される。

【0025】さらに測定用パターン110aは、上層パターン111の形成時に溝108a内に形成されるものである。図3(j)に示すように、溝108aに形成された測定用パターン110aの測定、すなわち溝108aの各辺に対する測定用パターン110aのずれ量X1, X2, Y1, Y2を測定することにより、上下に重ね合わされる上層パターン111と下層パターン105とのずれを検出する。

【0026】本発明の実施形態1に係る重合せ精度測定用マークは、半導体装置を構成する部品を半導体基板に形成する工程中において製造される。次に本発明の実施形態1に係る重合せ精度測定用マークの具体的な製造方法を工程順に説明する。

【0027】まず図1(a)に示すように、半導体基板101上に第一の酸化膜(層間膜)102を形成し、その後、図1(b)に示すように、酸化膜102上にポリシリコン膜103を成長させる。

【0028】次に図1(b)に示すように、ホトリソグラフィ技術を用いてポリシリコン膜103上にレジストパターン104を形成し、レジストパターン104をマスクとしてポリシリコン膜103をエッチングし、ポリシリコン膜103からなるポリシリコン配線(下層パターン)105を形成する。

【0029】実施形態1では、ポリシリコン配線105を形成する際に、溝108aが形成される領域、すなわち重合せ精度測定用マーク112の領域におけるポリシリコン膜103をエッチング処理して、ポリシリコン配線105と同一素材からなるエッチングストップ105aを同一工程にて形成する。

【0030】次に図1(d)に示すように、半導体基板101の全面に第二の酸化膜(層間膜)106を形成し、その後、図2(e)に示すように、第二の酸化膜106上にホトリソグラフィ技術を用いてコンタクト108及び溝108aを形成するためのレジストパターン107を形成する。

【0031】次に図2(f)に示すように、レジストパターン107をマスクとして酸化膜106に対して異方性エッチングを行い、エッチングストップ105aの表面を露出させる溝108aと、ポリシリコン配線105の表面を露出させるコンタクト108を形成する。

【0032】次に図2(g)に示すように、半導体基板101の全面にAlSi膜109を形成し、AlSi膜109をコンタクト108内に充填し、かつAlSi膜109を重合せ精度測定用マーク112の領域に位置する溝108aの内側壁及び底部のエッチングストップ105a上に堆積させる。

【0033】次に図2(h)に示すように、ホトリソグラフィ技術を用いてAlSi膜109上にレジストパターン110を形成するとともに、重合せ精度測定用マーク112の溝108a内のAlSi膜109上に測定用パターン110aを形成する。その後、図2(i)に示すように、レジストパターン110をマスクとして、AlSi膜109に異方性エッチングを行い、コンタクト108を通して半導体基板101、下層パターンのポリシリコン配線105に接続するAlSi配線(上層パターン)111を形成する。これと同一工程にて、重合せ精度測定用マーク112の測定用パターン110a上に、パターン111aと同一寸法をもつAlSiパターン111aを形成する。

【0034】本発明の実施形態1において、凹陥部としての溝108aは、下層パターンとしてのポリシリコン配線105を形成する際に、定形の形状をもってエッチングストップ105aとともに形成され、ポリシリコン配線105上に形成された層間膜としての酸化膜106にはAlSi配線111が重ね合わされて形成される際に、溝108aのエッチングストップ105a上に、同一寸法をもつAlSiパターン111aと測定用パターン110aが形成されることとなるため、溝108a内の各辺に対する測定用パターン110aのずれ量X1, X2, Y1, Y2を測定し、酸化膜106を挟んで上下に形成されたポリシリコン配線(下層パターン)105とAlSi配線(上層パターン)111との重ね合わせの精度を検出する。

【0035】実施形態1において、半導体装置として例えばスタックキャパシタ構造を有するDRAMを用いた場合、ポリシリコン配線105として、ワード線やディジット線や、プレート電極配線を用いることができる。

【0036】(実施形態2)次に本発明の実施形態2を図4を用いて説明する。前述の実施形態1では、下層パターン105と上層パターン111とをコンタクトを介して接続する構造のものに適用したが、実施形態2は、コンタクトに代えて、スルーホールを用いた場合に適用したものである。

【0037】図4において、201はシリコン基板、202は第一の酸化膜(層間膜)、205は第一のAlSi配線(下層パターン)、205aはエッチングストップ、206は第二の酸化膜(層間膜)、208はスルーホール、208aは溝、209は第二のAlSi配線(上層パターン)、210は第二のAlSi配線209をパターンニングするためのレジストパターン、212は重ね合わせ精度測定マークである。重ね合わせ精度測定マーク212は、溝208aとエッチングストップ208aと測定用パターン210aとの組合わせからなっている。

【0038】図では省略してあるが、第一のAlSi配線205の下層にはトランジスタが形成されており、第

一のAlSi配線205の下方に設けられる層間膜の膜厚は1~1.5 μ mである。また、第一のAlSi配線205と第二のAlSi配線209をつなぐスルーホール208の深さは0.6 μ m程度である。このような場合、エッチングストップ205aを形成しないで測定用パターン210aを重ね合わせ精度測定パターン212の溝208a内に形成することは難しい。

【0039】そこで、本発明の実施形態2に係る重合せ精度測定用マークの製造方法は、層間膜形成工程にて、シリコン基板201に第一の酸化膜(層間膜)202を形成し、エッチングストップ形成工程にて、第一の酸化膜(層間膜)202上に形成されたエッチングに対する耐性をもつ第一のAlSi膜をパターンニングしてエッチングストップ205aを形成し、溝形成工程にて、エッチングストップ205a上に形成された第二の酸化膜206をエッチングし、エッチングストップ205aまでの深さをもつ溝208aを形成し、測定用パターン形成工程にて、第二の酸化膜206を介して第一のAlSi配線(下層パターン)205上に重ねせて第二のAlSi配線(上層パターン)209を形成する際に、深さが規制された溝208a内に測定用パターン210aを形成する処理を行なっている。

【0040】

【発明の効果】以上説明したように本発明によれば、重合せ精度測定用パターンが形成される溝の深さをエッチングストップにより規制するため、溝の深さを規制して、リソグラフィ技術に必要な焦点深度を確保し、溝内に測定用パターンを正確に形成することができる。

【0041】さらに上下にパターンを重ねせてリソグラフィ技術により形成する際、焦点深度が確保されるため、パターンを良好に形成することができ、重ね合わせ精度を良好に測定することができる。

【図面の簡単な説明】

【図1】本発明の実施形態1を製造工程順に示す断面図

である。

【図2】本発明の実施形態1を製造工程順に示す断面図である。

【図3】本発明の実施形態1を製造工程順に示す断面図である。

【図4】(a)は本発明の実施形態2を示す断面図、(b)は同平面図である。

【図5】従来例を製造工程順に示す断面図である。

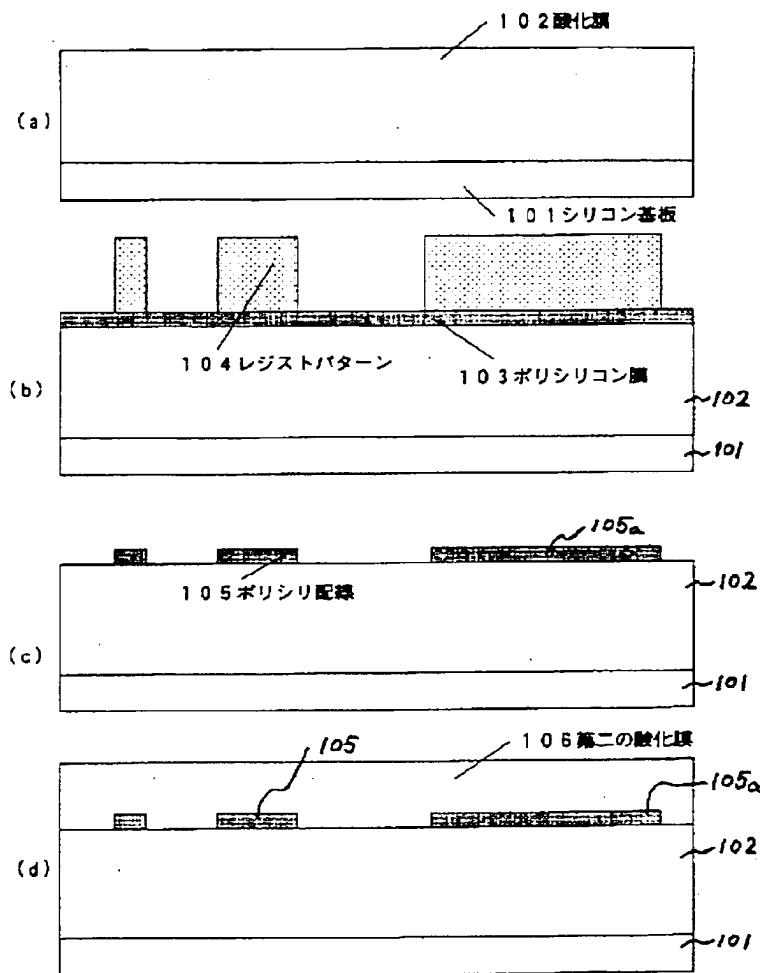
【図6】従来例を製造工程順に示す断面図である。

【図7】従来例を製造工程順に示す断面図である。

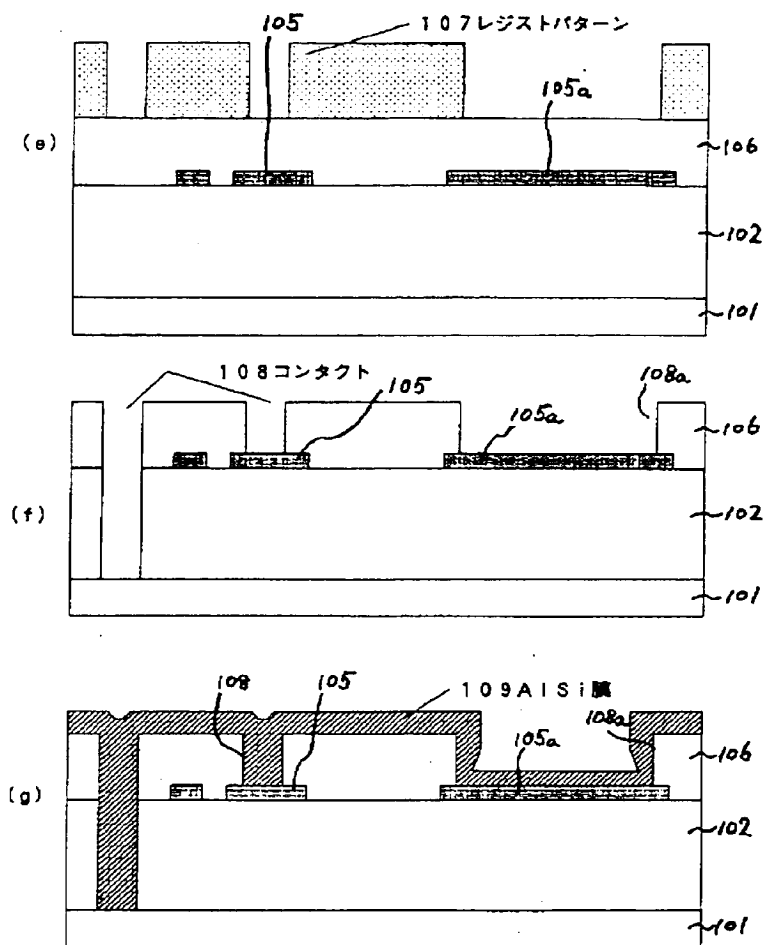
【符号の説明】

- 101 シリコン基板
- 102 第一の酸化膜
- 103 ポリシリコン膜
- 104 レジストパターン
- 105 ポリシリ配線
- 105a エッチングストップ
- 106 第二の酸化膜
- 107 レジストパターン
- 108 コンタクト
- 108a 溝
- 109 AlSi配線膜
- 110 レジストパターン
- 111 AlSi配線
- 112 重ね合わせ精度測定マーク
- 210 シリコン基板
- 202 第一の酸化膜
- 205 第一のAlSi配線
- 205a エッチングストップ
- 208 スルーホール
- 208a 溝
- 209 第二のAlSi配線
- 210 レジストパターン
- 212 重ね合わせ精度測定マーク

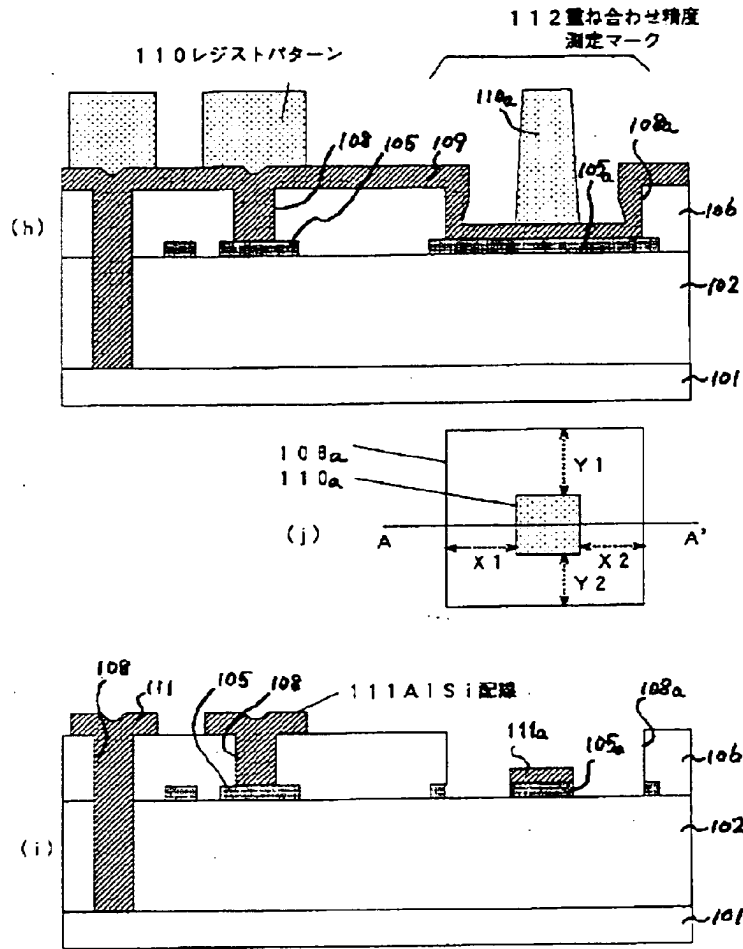
【図1】



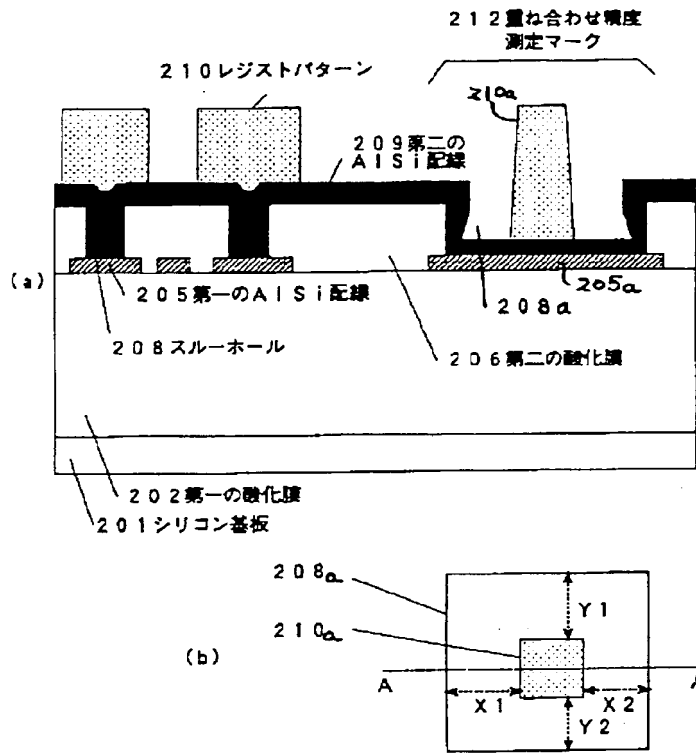
【図2】



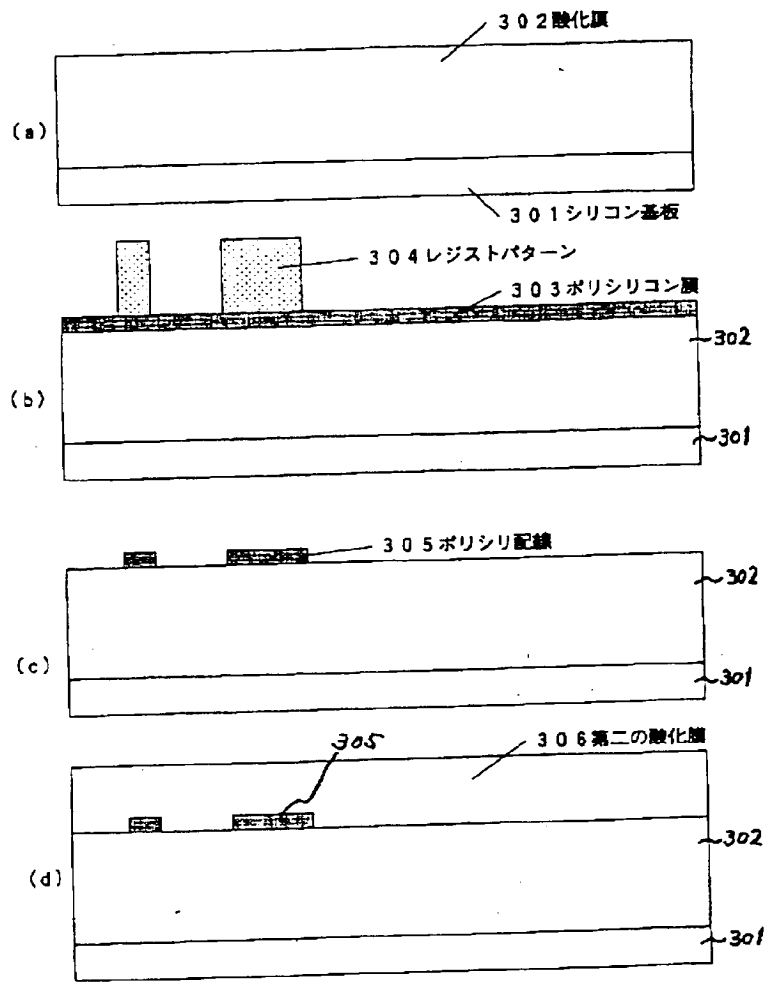
【図3】



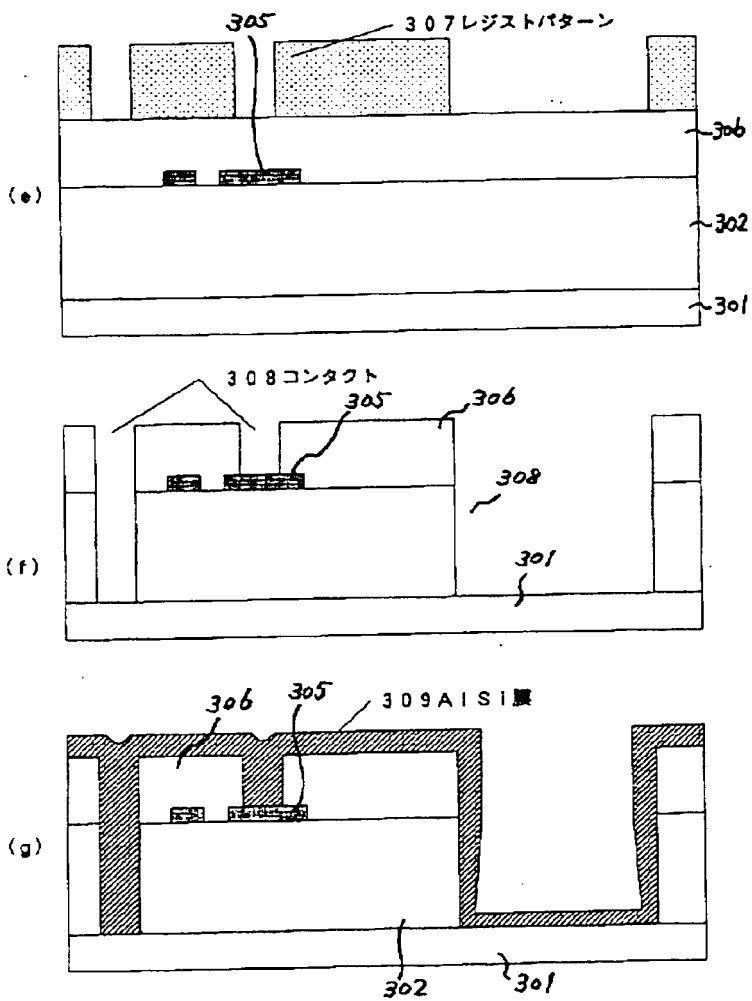
【図4】



【図5】



【図6】



【図7】

